

回路実装用画像変形処理の研究

電子情報部 ○田村陽一，吉村慶之，米沢裕司

1. 目 的

印刷会社では生産ライン上の製品に対して，カメラで撮影された画像を基に製品の良否判定を行う検査システムが自動検査装置として使用されることが多い。ライン上の製品は，常に規則正しく一定の位置にあるとは限らず，撮影ごとに画像内での製品の位置がずれることが一般的である。このため，製品の良否判断を行う前に撮影画像を変形処理することにより，製品の位置ずれを解消したいというニーズがある。国内の印刷物検査装置では，高精度のもので2048ピクセル×2048ラインの解像度を持つ画像を，0.2秒毎に撮影するカメラが使用されている。このような画像の変形処理を行うためには毎秒2000万(≒2048ピクセル×2048ライン×5ページ)画素に対して演算を行う必要がある。この処理速度を実現するためには，並列処理専用LSIや，画像処理専用LSIが必要となる。このような専用LSIは一般に高価であり，かつその利用には高度な技術を要する。そこで本研究では，回路記述言語による汎用の回路設計方法で，小規模FPGA上に画像変形処理回路を構築することを目的とした。

2. 内 容

2. 1 回路仕様及び全体構成

試作する画像変形処理回路の仕様は，企業ニーズを基に以下とした。

- (1) 100万ゲート相当以下の小規模FPGAに実装が可能な回路規模。
- (2) 最大2048ピクセル×2048ライン×5ページ/sの画像に対し，拡大縮小，回転，平行移動の変形が可能。
- (3) 640ピクセル×480ライン×60ページ/sのPC出力画像に対し，拡大縮小，回転，平行移動の変形が可能(回路動作速度が(2)と同等以上で，結果をディスプレイで確認するため)。
- (4) 出力画像は加重平均を用いて補間。
- (5) 入出力画像はモノクロ。

試作した回路の全体構成を図1に示す。回路

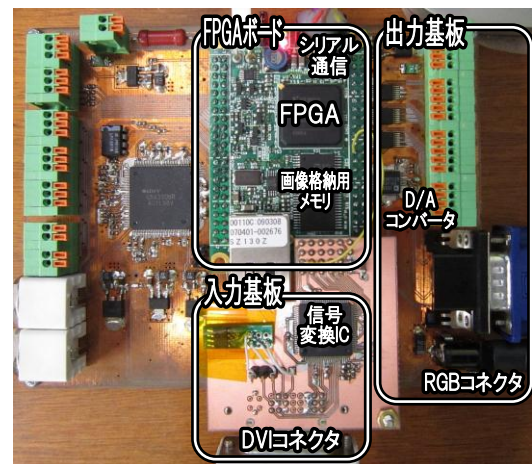


図1 画像変形処理回路の全体構成

は入力基板，FPGAボード，出力基板により構成される。入力基板には，PCからのDVI信号(デジタル画像信号)が入力される。入力された信号は，信号変換ICを通りFPGAボードで変形処理が行われる。FPGAボードは，FPGA，画像格納用メモリなどが搭載されている。FPGA内部には画像を格納するためのメモリ領域を確保できないため，画像格納用メモリはFPGAの外部に配置する。またFPGAボードは，図1中の上側からシリアル通信接続により画像変形に必要なパラメータを外部と通信することで様々な変形処理が可能である。出力基板には，アナログ画像信号を生成する画像用D/Aコンバータが搭載されている。FPGAボードからの変形処理画像は，画像用D/Aコンバータに入力され，アナログ信号に変換された後，図1中の右側からPC用RGBコネクタを通し表示装置へ出力される。

2. 2 FPGA内部の回路構成

FPGA内部の回路構成を図2に示す。入力基板からの信号を取り込む入力部、外部メモリの制御を行う外部メモリ制御部、出力基板へ信号を受け渡す出力部、PCなどの外部と変形パラメータの通信を行うパラメータ通信部で構成されている。

入力部は、単色8bit階調の輝度で定義される画素情報と画素位置の基準となる横位置パルス、縦位置パルス、ページパルスを受け取り、画素情報の集合を画像として外部メモリへ格納するための前処理を行う。

外部メモリ制御部は、書込みと読出しを同時実行できない外部メモリに対して、入力部からの画素情報書込み要求と、出力部からの画素情報読出し要求を、正しく画素情報が取り扱われるように制御する。また、出力画像が滑らかになるように近傍4画素を用いた加重平均によって出力画素の輝度を計算するため、本回路では外部メモリに書込む際に近傍4画素を準備する。入力部に画素が入力される速度に対して、外部メモリに書込みで4倍、読出しで4倍の計8倍の速度で読み書きをする必要があることから、余裕をもって対応するため16倍の速度で外部メモリを読み書きできるよう構成されている。

パラメータ通信部は、PCとRS-232Cで通信を行い、PCから変形に必要なパラメータを受信する。標準画像内の3点と入力画像内の3点を指定することにより、入力画像内の3点を標準画像内の3点に一致させるように行列演算処理によって変換座標の生成を行う。

出力部は、外部メモリ制御部とパラメータ通信部によって変形処理された画素情報と変換座標を受け取り、画像用D/Aコンバータへ出力する。この際、入力画像の外側に位置する無画像部が出力画像にノイズとして表示される場合があるので、この部分をマスキングし、黒色で表示する。図3に入力画像(変形前)と出力画像(変形後)の例を示す。

3. 結 果

試作した回路により640ピクセル×480ライン×60ページ/sのPC出力画像をリアルタイムに拡大縮小、回転、平行移動可能なことを確認した。これは2048ピクセル×2048ライン×5ページ/sという画像変形処理に必要な回路動作速度を十分に満たしている。また、回路規模は、目標であった100万ゲート相当のFPGAに20万ゲート以下の回路規模で実装できることを確認した。

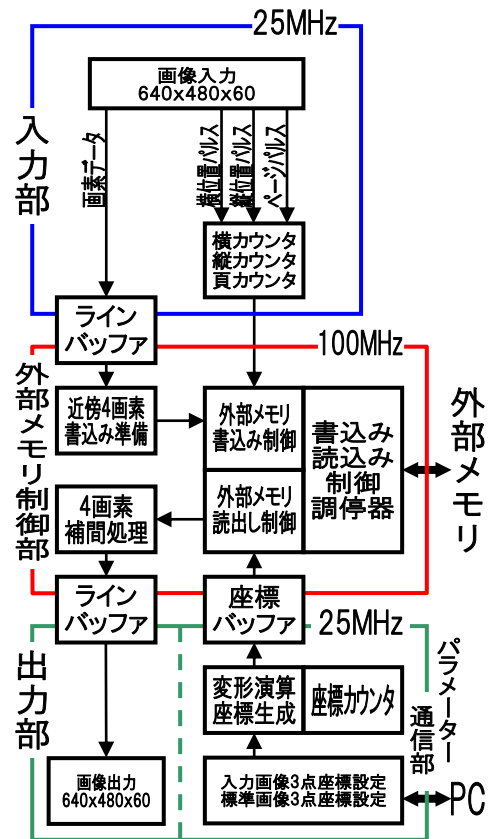
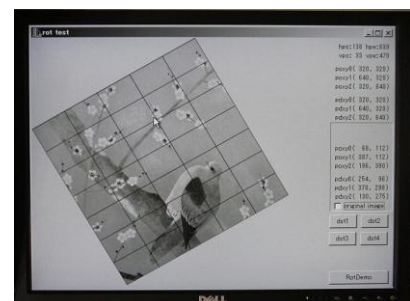


図2 FPGA内部の回路構成



(a)変形前



(b)変形後

図3 画像変形処理の例